

⑥ 公開特許公報 (A)

平1-173149

⑦ Int.CI.*

G 06 F 13/28

識別記号

310

庁内整理番号

M-8840-5B

⑧ 公開 平成1年(1989)7月7日

審査請求 未請求 発明の数 1 (全7頁)

⑨ 発明の名称 メモリモジュール

⑩ 特願 昭62-330083

⑪ 出願 昭62(1987)12月28日

⑫ 発明者 押川和徳 東京都府中市東芝町1番地 株式会社東芝府中工場内

⑬ 出願人 株式会社東芝 神奈川県川崎市幸区堀川町72番地

⑭ 代理人 弁理士 鈴江武彦 外2名

明 稞 書

1. 発明の名称

メモリモジュール

2. 特許請求の範囲

アドレス並びにデータの転送に共用されるアドレス/データラインおよび各種コントロール線の転送に供されるコントロールラインを有するシステムバスに接続されるメモリ内蔵のメモリモジュールにおいて、

上記システムバスを介して上記メモリモジュールを利用する利用モジュールから上記システムバスのアドレス/データラインを介して与えられるアクセス領域先頭アドレスをラッチするカウント器付きアドレスバッファであって、上記メモリのアドレスを指定するアドレスバッファと、上記メモリと上記アドレス/データラインとの間のデータ入出を行なうスワップ手段と、上記利用モジュールから上記システムバスのコントロールラインを介して与えられるデータ転送要求を受け、上記メモリのリード/ライト制御、上記アドレス

バッファのカウント動作制御および上記スワップ手段の制御を行なうバスインターフェースとを具備することを特徴とするメモリモジュール。

3. 発明の詳細な説明

【発明の目的】

(産業上の利用分野)

この発明は、システムバスを介してアクセスされるメモリ内蔵のメモリモジュールに関する。

(従来の技術)

従来、メモリ内蔵のメモリモジュールは、第3図において符号10aで示すように構成されており、例えはコントロールライン21a、アドレスライン22aおよびデータライン23aから成るシステムバス20aに接続して用いられていた。第3図の従来構成において、メモリモジュール10aとその利用モジュール(図示せず)との間でシステムバス20aを介してデータ転送を行なう場合の動作を、利用モジュールの処理データ幅が1バイト、メモリモジュール10aが有するメモリ11aのワード幅が4バイトであるものとしてデータリードを例に

説明す。

まず、利用モジュールからデータ転送要求31aがコントロールライン21aに、メモリアドレス(リードアドレスデータ)32aがアドレスライン22aに、それぞれ出力される。コントロールライン21a上のデータ転送要求31aおよびアドレスライン22a上のメモリアドレス32aの下位アドレス(ここでは2ビット)32aは、メモリモジュール10a内のバスインターフェース12aに伝達される。バスインターフェース12aは、利用モジュールからの上記データ転送要求31aを受け、同要求31aがデータリードを示していることを検出すると、メモリ11aに対してリードイネーブル信号33aを出力する。またバスインターフェース12aは、要求元利用モジュールの処理データ欄と上記メモリアドレス32aの下位アドレス(2ビット)32aとをもとにデータのスワップ機能34aを生じし、同機能34aをスワッパ13aに出力する。一方、アドレスライン22a上のメモリアドレス32aの下位2ビットを除く上位アドレス32aは、メ

モリモジュール10aのアドレスバッファ14aに伝達され、同バッファ14aにラッチされる。アドレスバッファ14aにラッチされた上位アドレス32aは、メモリ11aに対するワードアドレス35aとして同メモリ11aに出力される。

さて、バスインターフェース12aからメモリ11aにリードイネーブル信号33aが出力されると、アドレスバッファ14aからのワードアドレス35aによって指定されるメモリ12のワードデータ(4ビット)36aがスワッパ13aに読み出される。スワッパ13aは、メモリ11aからの読み出しデータ36aをバスインターフェース12aからのスワップ機能34aに使ってスワップし、そのスワップデータ37aをシステムバス20aのデータライン23aに出力する。そして、バスインターフェース12aからコントロールライン21aに、データイネーブル信号38aが出力される。利用モジュールは、このデータイネーブル信号38aによりデータライン23a上のデータを内部に読み込み、次のデータ転送要求31a(並びにアドレス)を出力する。なお、第1

図において33aは1つのデータ転送要求(に対するデータ転送)の完了を示すデータエンド信号である。

以上の説明から、例えばメモリ11aのメモリアドレス4Aを先頭アドレスとする領域からデータを1バイト単位で既に利用モジュールに転送する場合、アドレスライン22aおよびデータライン23aの状態は、第4図のタイミングチャートに示される通りとなる。なお、第4図において、4A、4A+1、4A+2はメモリアドレス(リードアドレスデータ)、D4A、D4A+1、D4A+2はメモリ12のそれぞれ4A番地、4A+1番地、4A+2番地からの1バイトデータを示す。ここでは、システムバス20aが独立のアドレスライン22aおよびデータライン23aを有しているため、第4図のタイミングチャートに示すようにメモリアドレス4A、4A+1、4A+2をアドレスライン22に連続的に出力でき、このメモリアドレス4A、4A+1、4A+2の下位2ビットを除く上位アドレスで指定されるワードデータに対

するスワップデータD4A、D4A+1、D4A+2をデータライン23aを介して連続的に転送できる。即ち、第3図のメモリモジュール10aでは、バス構成の複雑なシステムバスに接続して用いることにより利用モジュールとの間で高速データ転送を行なうことができる。

これに対し、第5図に符号10bで示すメモリモジュールのように、コントロールライン21b、およびアドレス/データライン22bから成るバス構成の簡単なシステムバス20bに接続して用いる場合のデータ転送は次のように行なわれる。まず、メモリモジュール10b内のバスインターフェース12bが利用モジュールからのデータ転送要求31bを受け、同要求31bがデータリードを示していることを検出すると、メモリ11bに対してリードイネーブル信号33bを出力する。またバスインターフェース12bは、スワッパ13bに對し、利用モジュールからアドレス/データライン22bを介して転送されるメモリアドレス32bの下位アドレス(2ビット)32bと利用モジュールの処理データ

タ回 もとに生成したスワップ情報34bを、スワッパ13bに出力する。一方、アドレス/データライン22b上 メモリアドレス32bの下位2ビットを除く上位アドレス32bは、メモリモジュール10内のアドレスバッファ14bにラッピングされ、メモリ11bに対するワードアドレス35bとして同一メモリ11bに出力される。

バスインターフェース12bからメモリ11bにリードイネーブル信号33bが出力されると、アドレスバッファ14bからのワードアドレス35bによって選定されるメモリ11bのワードデータ36bがスワッパ13bに送出される。スワッパ13bは、メモリ11bからの読み出しデータ36bをバスインターフェース12bからのスワップ情報34bに従ってスワッパーし、そのスワップデータ37bを、上記したデータ転送要求(並びにアドレス)の出力スロットの次のスロットでシステムバス20bのアドレス/データライン22bに出力する。そして、バスインターフェース12bからコントロールライン21bに、データイネーブル信号38bが出力される。利用モフ

て用いなければならず、バス構成が簡単なシステムバスに接続して用いるとアドレスとデータを交互に出力しなければならないためにデータ転送が高遅化できないという問題があった。

したがってこの発明は、アドレス並びにデータの転送に共用されるアドレス/データラインを複数バス構成が簡単なシステムバスに接続して用いても、利用モジュールとの間で高速データ転送が行なえるメモリモジュールを提供することを解決すべき課題とする。

【発明の構成】

(問題点を解決するための手段)

この発明は、メモリモジュールの利用モジュールからシステムバスのアドレス/データラインを介して与えられるアクセス領域先頭アドレスをラッピングするカウンタ機能付きアドレスバッファと、このアドレスバッファの出力によってアドレス選定されるメモリとアドレス/データラインとの間のデータ入出力を行なうスワップ手段と、利用モジュールからシステムバスのコントロールライン

ユールは、このデータイネーブル信号38bによりアドレス/データライン22b上のデータを内部に貯込むと、上記のスワップデータ出力スロットの次のスロットで次のデータ転送要求31b(並びにアドレス)を出力する。

以上の説明から、第5回の構成において、例えばメモリ11bのメモリアドレス4Aを先頭アドレスとする領域からデータを1バイト単位で順に利用モジュールに転送する場合、アドレス/データライン22bの状態は、第6回のタイミングチャートに示される通りとなる。第5回の構成では、アドレスおよびデータの転送にアドレス/データライン22bが共用されるため、第6回のタイミングチャートに示すようにアドレスとデータを交互に出力しなければならず、データ転送速度が低下する。

(発明が解決しようとする問題)

上記したように従来のメモリモジュールでは、利用モジュールとの間で高速データ転送を行なうためにはバス構成の複雑なシステムバスに接続し

を介して与えられるデータ転送要求を受け、上記メモリのリード/ライト制御並びにアドレスバッファのカウント動作制御を行なうと共に、スワップ手段を制御するバスインターフェースとを設け、上記アクセス領域を全てアクセスするのに必要な一連のアドレスを、バスインターフェースの制御のもとでアドレスバッファにおいて順に生成するようとしたことを特徴とする。

(作用)

上記の構成によれば、利用モジュールは所定のアクセス領域の先頭アドレスを出力した後は、上記アクセス領域の全てをアクセスするのに必要な一連のアドレスを出力する必要がなくなるので、アドレス/データラインをリードデータの転送だけに統けて使うことができ、アドレス/データラインが利用モジュールからのリードアドレスとメモリモジュールからのデータの転送とに交互に用いられる従来例に比べ、高速データ転送が可能となる。

(実施例)

図1図はこの発明 一実施例に属するメモリモジュール40のプロック構成を示す。このメモリモジュール40は、各種コントロール情報の転送に供されるコントロールラインS1およびアドレス並びにデータの転送に共用されるアドレス/データラインS2から成るシステムバス50に接続して用いられる。

図1図のメモリモジュール40において、41は1ワードが例えば4バイトのメモリ、42はメモリ41とシステムバス50との間でのハンドシェークによるデータ転送を行なうためのバスインタフェースである。バスインタフェース42は、両インタフェース42の中心を成す制御部42-1と、+1並びに+2箇所を持つ2ビットのカウンタ42-2を有している。43はメモリ41とアドレス/データラインS2との間のデータ入出力のためのスワップ動作を行なうスワッパ、44はメモリ41のワードアドレス(ワード位置)を固定するカウンタ機能付きアドレスバッファである。

S4Aはアドレス62としてメモリモジュール40に与され、その下位2ビット(下位アドレス)62L(ここでは"00")はバスインタフェース42内のカウンタ42-2に、下位2ビット62H(ここではA)はアドレスバッファ44に、それぞれラッチされる。アドレスバッファ44の出力はメモリ41のワード位置を示すワードアドレス65Hとして両メモリ41に与かれ、カウンタ42-2の出力は両メモリ41のワード内バイト位置を示すバイトアドレス65Lとして制御部42-1に与される。この制御部42-1には、利用モジュールからコントロールラインS1経由で転送されるデータ転送要求61も与られる。

制御部42-1は、利用モジュールからのデータ転送要求61を受け、同要求61がデータリードを示していることを検出すると、メモリ41に対しリードイネーブル信号63を出力する。また制御部42-1は、データ転送要求元利用モジュールの処理データ端、アドレス/データラインS2のデータ端、およびカウンタ42-2からのバイトアドレス65Lをも

次に、この発明 一実施例の動作を図2図のタイミングチャートを 用いて説明する。この実施例では、メモリモジュール40 利用する最つか 利用モジュール(図示せず)がシステムバス50 に接続されている。今、この利用モジュール1つが、メモリ41のメモリアドレス4Aを先頭アドレスとする所望サイズのメモリ領域のデータをリードするために、データリードを示すデータ転送要求61をシステムバス50のコントロールラインS1に出力し、アドレス/データラインS2に図2図に示すように4A番地を示すメモリアドレス(リードアドレスデータ)を出力したものとする。なお、この利用モジュールの先頭データ端は1バイトであり、メモリアドレス4Aはフルワード境界のバイトアドレスを示しているものとする。明らかのように、アドレス4Aの下位2ビットは"00"であり、下位2ビットを除く残りアドレス、即ちメモリ41のワード位置を示すワードアドレスはAである。

アドレス/データラインS2上のメモリアドレ

とにデータのスワップ情報64(バイトアドレス65Lが"00"の際では、メモリ41からの4バイト出しデータのうちのバイト0の1バイトをアドレス/データラインS2の所定の8ビット領域に出力することを指示するスワップ情報)を生成し、同情報64をスワッパ43に出力する。

さて、制御部42-1からメモリ41にリードイネーブル信号63が出力されると、アドレスバッファ44からのワードアドレス65H(ここではメモリアドレス4Aの下位2ビットを除く上位アドレスA)によって指定されるメモリ41のワードデータ(4バイト)66(ここではDA)がスワッパ43に出力される。スワッパ43は、メモリ41からの出しワードデータ66を制御部42-1からのスワップ情報64に従ってスワップし、そのスワップデータ67(ここではワードアドレスAの指定するワードデータDAのバイト0のデータ、即ちメモリアドレス4Aの指定するバイト位置からの1バイトデータD4A)をリードデータとしてシステムバス50のアドレス/データラインS2に出力する。一方、制御部

42-1は、リードデータ出力を示すデータタイナーブル信号68をコントロールライン51に出力する。利用モジュールは、このデータタイナーブル信号68によりアドレス/データライン52上のデータ内蔵に書き込む。

制御部42-1は、データタイナーブル信号68の出力を行なって1つのデータ転送(ここでは1バイトデータ転送)を終了すると、もしデータ転送要求元利用モジュールからコントロールライン51經由でデータエンド信号69が与えられていなければ、カウンタ42-2およびアドレスバッファ44のカウント制御を行なう。即ち制御部42-1は、利用モジュールの処理データ幅が、この実施例のように1バイトの場合にはカウント信号71によりカウンタ42-2を+1制御し、2バイト(ハーフワード)であればカウント信号72によりカウンタ42-2を+2制御し、4バイト(フルワード)であればカウント信号73によりアドレスバッファ44を+1制御する。また制御部42-1は、カウンタ42-2に対する+1または+2制御でカウンタ42-2の出力(バイ

トアドレス65L)が"00"となる場合にはカウント信号73によりアドレスバッファ44を+1制御する。アドレスバッファ44の出力(ワードアドレス65W)およびカウンタ42-2出力(バイトアドレス65L)の連続情報(ワードアドレス65W 4倍値とバイトアドレス65Lとの加算値)は、メモリ41に対するメモリアドレスを示しており、このメモリアドレスは、1回のデータ転送毎に上記した制御部42-1のカウント制御を受け、利用モジュールの処理データ幅に応じて+1,+2または+4されることになる。そして、上記した一連の動作が、利用モジュールからデータ転送要求61が与えられた場合と同様に行なわれる。この動作は、利用モジュールからデータエンド信号69が与えられるまで繰返される。したがって、利用モジュールは、所望サイズのメモリ領域の先頭メモリアドレス(ここでは4A)をメモリモジュール40に転送した後は、後続メモリアドレス(ここでは4A+1, 4A+2-)を転送する必要がなく、したがってメモリモジュール40内で自動生成されるメ

モリアドレス(4A+1, 4A+2-)で指定されるバイト位置からの1バイトデータをアドレス/データライン52を介して連続的に転送することができる。

以上はデータ転送要求元利用モジュールの処理データ幅が1バイトである場合について説明したが、2バイト、或は4バイトの場合にも通用できる。即ち、2バイトの場合にはフルワード境界またはハーフワード境界からのアクセスであり、4バイトの場合にはフルワード境界からのアクセスである必要がある。また、前記実施例ではメモリモジュールについて説明したが、この発明はアドレス情報を使ってデータ書き込み/書き出し先を指定する装置全般(各種の入出力装置)に適用できる。なお、アドレスバッファ44およびカウンタ42-2をカウンタ機能付きの1つのアドレスバッファにまとめ、この新たなアドレスバッファをデータ転送要求元利用モジュールの処理データ幅に応じて+1,+2または+4制御するようにしてもよい。この場合、新たなアドレスバッファの出力の

下位2ビットを除く残りアドレスでメモリ41のワード位置が指定される。

【発明の効果】

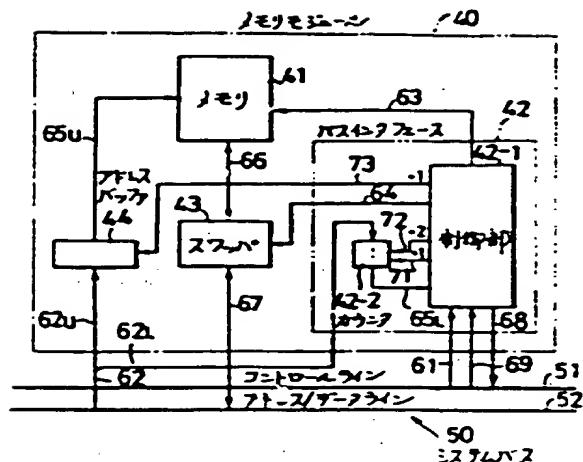
以上詳述したようにこの発明によれば、利用モジュールが所望するアクセス領域の全てをアクセスするのに必要な一連のアドレスを、その領域の先頭アドレスとともにメモリモジュール内で自動生成するようにしたので、利用モジュールが上記先頭アドレスの後続アドレスを出力する必要がなくなり、したがってアドレス/データラインをリードデータの転送だけに統けて使うことができる。この結果、アドレス/データラインを持つバス構成の簡単なシステムバスを利用してながら、独立のアドレスラインとデータラインを持つバス構成の複雑なシステムバスを用いた場合と同様の高速データ転送が可能となる。

4. 四画の簡単な説明

第1図はこの発明の一実施例に係るメモリモジュールのブロック構成図、第2図は第1図の構成の動作を説明するためのタイミングチャート、第

3図は第1の從來例を示すプロック構成図、第4図は第1の從來例の動作を説明するたのタイミングチャート、第5図は第2の從來例を示すプロック構成図、第6図は第2の從來例の動作を説明するたのタイミングチャートである。

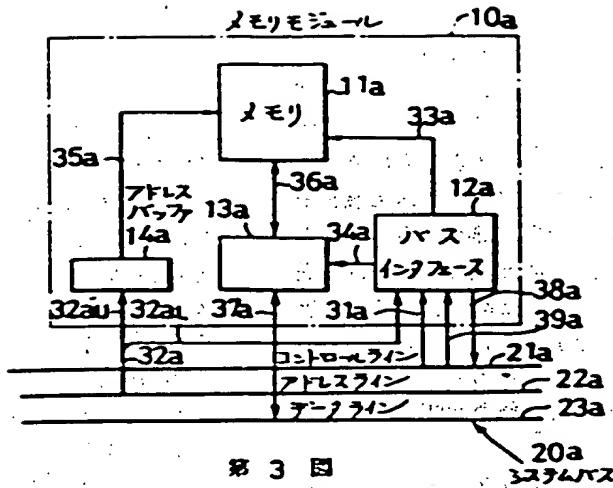
40—メモリモジュール、41—メモリ、42—バスインタフェース、42-2—カウンタ、43—スクッパー、44—アドレスバッファ（カウンタ接続付アドレスバッファ）、50—システムバス、51—コントロールライン、52—アドレス/データライン。



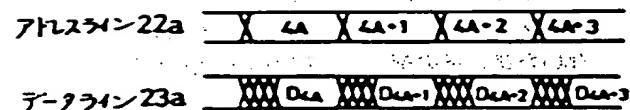
出國人代理人 律師士 楊江武

第一回

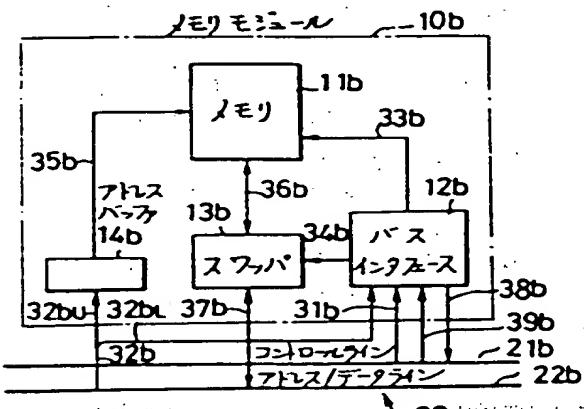
第2回



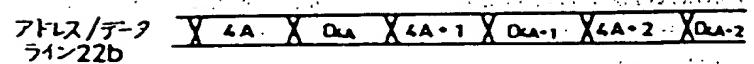
第3図



第4図



第5図



第6図